

1/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010628805 \*\*Image available\*\*

WPI Acc No: 1996-125758/ 199613

XRFX Acc No: N96-105868

**Logic equivalence verification method for LSI using HDL - by using  
comparator to match each memory element by comparing types of memory  
element for each attainment level and judged logic equivalence**

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8022485	A	19960123	JP 94158910	A	19940711	199613 B

Priority Applications (No Type Date): JP 94158910 A 19940711

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8022485	A		12	G06F-017/50	

Abstract (Basic): JP 8022485 A

The method involves obtaining regarding function description of the memory of the logic circuit (step ST1) from an input terminal. The logic of the operation of memory in each attainment level is determined. The required combination circuit is obtained by suitable assembly of an input terminal (step ST3). A correspondence part (41) determines the logic of memory in a function description file (1) and a logic circuit file (2).

The memory from logic circuit is extracted with an equivalent logic possibility (step ST4-ST6). The comparator (42) matches each memory element by comparing the types of memory element for each attainment level, and judges a logic equivalence (step ST7,ST8).

ADVANTAGE - Enables automatic operation. Enables correct matching.

Dwg.1/7

Title Terms: LOGIC; EQUIVALENCE; VERIFICATION; METHOD; LSI; COMPARATOR;  
MATCH; MEMORY; ELEMENT; COMPARE; TYPE; MEMORY; ELEMENT; ATTAIN; LEVEL;  
JUDGEMENT; LOGIC; EQUIVALENCE

Index Terms/Additional Words: HARDWARE; DESCRIPTION; LANGUAGE

Derwent Class: T01

International Patent Class (Main): G06F-017/50

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-22485

(43) 公開日 平成8年(1996)1月23日

(51) Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50		9191-5H	G 0 6 F 15/ 60	3 6 0 D

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平6-158910

(22) 出願日 平成6年(1994)7月11日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石川 淳士

伊丹市瑞原4丁目1番地 三菱電機株式会

社システムエル・エス・アイ開発研究所内

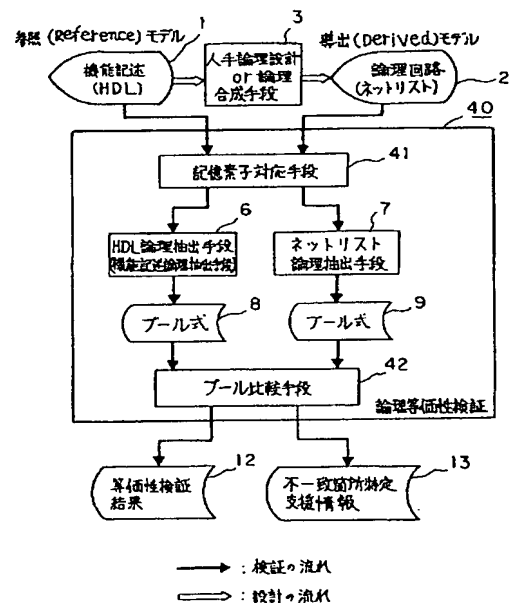
(74) 代理人 弁理士 田澤 博昭 (外2名)

(54) 【発明の名称】 論理等価性検証方法およびその装置

(57) 【要約】

【目的】 検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施する。

【構成】 記憶素子対応手段41は、機能記述ファイル1と論理回路ファイル2の記憶素子の論理を決定するためのコーンの入力端子集合φを求め、次いで、機能記述ファイル1の記憶素子の入力端子集合φと同じ入力端子集合を有する可能性のある記憶素子を論理回路ファイル2から取り出すことにより、各々の記憶素子を対応付ける。ブール比較手段42は、機能記述ファイル1の記憶素子のブール式と、記憶素子対応手段41により取り出された論理回路ファイル2の記憶素子のブール式とを比較して論理が一致したか否かを判定する。



## 【特許請求の範囲】

【請求項1】 ハードウェアの機能が記述された機能記述と前記機能記述に基づいて導出された論理回路との間の論理等価性をブール比較法に基づいて検証する論理等価性検証方法において、前記機能記述の記憶素子と前記論理回路の記憶素子とについてプライマリ入力端子からの到達レベルを求める到達レベル判定ステップと、前記機能記述の記憶素子と前記論理回路の記憶素子との各々の到達レベルにおける記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求める集合決定ステップと、前記到達レベル毎に、前記機能記述の記憶素子が有する前記入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を前記論理回路から取り出す抽出ステップと、前記到達レベル毎に、前記機能記述の記憶素子のブール式と前記論理回路から取り出された記憶素子のブール式とを順次比較して論理等価性を判定する論理等価性判定ステップとを実行することを特徴とする論理等価性検証方法。

【請求項2】 前記抽出ステップは、前記機能記述から前記論理回路を導出する際に所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて行われることを特徴とする請求項1記載の論理等価性検証方法。

【請求項3】 ハードウェアの機能が記述された機能記述からブール式を抽出する機能記述論理抽出手段と、前記機能記述に基づいて導出された論理回路からブール式を抽出するネットリスト論理抽出手段とを備える論理等価性検証装置において、前記機能記述の記憶素子と前記論理回路の記憶素子とについてプライマリ入力端子からの到達レベルを求め、各到達レベル毎に、記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求めるとともに、前記機能記述の記憶素子が有する前記入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を前記論理回路から取り出す記憶素子対応手段と、前記到達レベル毎に、前記機能記述論理抽出手段による前記機能記述の記憶素子のブール式と、前記記憶素子対応手段により取り出された前記論理回路の記憶素子の前記ネットリスト論理抽出手段によるブール式とを順次比較し、論理等価性を判定するブール比較手段とを備えたことを特徴とする論理等価性検証装置。

【請求項4】 前記記憶素子対応手段は、前記機能記述論理抽出手段によって、所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて、前記機能記述から前記論理回路を導出することを特徴とする請求項3記載の論理等価性検証装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、機能記述と論理回路の間の論理等価性をブール比較法に基づいて検証する論理等価性検証方法およびその装置に関するものである。

## 【0002】

【従来の技術】HDL (Hardware Description Language:ハードウェア記述言語)を利用したLSI (またはシステム)の設計では、設計者は、まず、HDLにより機能を記述し、この機能の正当性を機能シミュレーションにより検証した後、論理合成ツールや人手により論理設計を行うことが多い。このとき、設計された論理回路の論理検証には、通常、論理シミュレーションが用いられ、その結果を先に行った上記機能シミュレーションの結果と比較することにより、論理設計の正当性を確認している。

【0003】このようなシミュレーションによる比較検証は、例えば特開平5-151296号公報、特開平5-20383号公報に記載されている。しかしながら、このシミュレーションによる比較検証では、検証網羅度は与えられる入力パターンに依存するので、本当に小規模な回路以外には、完全な論理検証は事実上不可能であるという問題点があった。このような問題を持つシミュレーションによる論理設計検証を補完する技術として、ブール比較法に基づく論理等価性検証が提案されている。このブール比較法では、2つの組み合わせ回路(ブール式)の論理が等価であるか否かを数学的手法により完全に検証できる。

【0004】図6はブール比較に基づく従来の論理等価性検証装置の構成を示すブロック図であり、図において、1は参照モデル(既に論理の正当性が確認されているモデル)となるHDLで書かれた機能記述が設定される機能記述ファイル(以下、「機能記述1」と記す。)、2は導出モデル(参照モデルと比較される検証対象のモデル)となる論理回路(ネットリスト)が設定される論理回路ファイル(以下、「論理回路2」と記す。)、3は上記論理回路2を設計するための論理合成手段(または、人手論理設計手段)である。また、4は機能記述1と論理回路2間の論理等価性を検証する論理等価性検証手段、6は機能記述1からブール式を抽出するHDL論理抽出手段、7は論理回路2からブール式を抽出するネットリスト論理抽出手段である。

【0005】次に、8はHDL論理抽出手段6により抽出されたブール式、9はネットリスト論理抽出手段7により抽出されたブール式、10は上記2つのブール式8、9の論理等価性をチェックするブール比較手段である。また、11は順序回路の論理等価性を検証する際に必要な記憶素子名の対応表、12は論理等価性検証手段4によって検証された論理等価性検証結果、13は検証の結果、不一致が見つかった場合に出力される、不一致箇所の特定を容易にするための不一致箇所特定支援情報である。

【0006】図7は上述した従来の論理等価性検証において、検証対象が順序回路の場合に、HDL論理抽出手段6またはネットリスト論理抽出手段7がどのようにブ

ール式を抽出するかを説明する一例を示す模式図であり、図において、32a, 32b, 32cはプライマリ入力端子、33a, 33bは組み合わせ回路、34a, 34bは記憶素子、35はプライマリ出力端子である。36a, 36bは新たに発生した出力端子、37a, 37bは新たに発生した入力端子である。そして、38は上記分割された組み合わせ回路より得られたブール式である。

【0007】次に、動作について説明する。まず、参照モデルとなる機能記述1がHDLによって記述される。この機能記述1は、人手論理設計または論理合成手段3によって、参照モデルと比較される検証対象の導出モデルとなる論理回路2と交換される。次に、機能記述1と論理回路2との、双方の間で論理等価性が成立するか否かが論理等価性検証手段4によって検証される。まず、HDL論理抽出手段6によって機能記述1からブール式8が抽出される。次に、ネストリスト論理抽出手段7によって、論理回路2からブール式9が抽出される。

【0008】ここで、HDL論理抽出手段6またはネストリスト論理抽出手段7によるブール式の抽出処理について説明する。この処理では、例えば図7に示す論理回路であったとすると、まず、記憶素子34a, 34bの部分が切り取られ、組み合わせ回路33a, 33bだけが抽出される。このとき、切り取られた記憶素子34a, 34bの跡には、新たな出力端子36a, 36bおよび入力端子37a, 37bが発生する。例えば、記憶素子34aが切り取られたとき、そのデータ入力端子Dの跡には、新たな出力端子36aが発生する。なお、この出力端子36aの出力をR1, Dとし、出力端子36bの出力をR2, Dとする。

【0009】また、データ出力端子Qの跡には、新たな入力端子37a, 37bが発生する。なお、この入力端子37aの入力をR1, Qとし、入力端子37bの入力をR2, Qとする。その後、分割した組み合わせ回路から、各出力端子35, 36a, 36b毎にブール式38が抽出される。例えば、図7では、出力端子36aおよび出力端子36bのブール式は、各々、入力I1, I2, I3の関数f1, f2として定義される。また、出力端子35のブール式は、入力R1, Q, R2, Qの関数f3として定義される。

【0010】次に、ブール式8およびブール式9間の論理等価性が、記憶素子名の対応表11に基づいてブール比較手段10により検証される。この結果、論理等価性検証手段4による検証の結果である論理等価性検証結果12、もしくは不一致が見つかった場合に不一致箇所の特定を容易にするための不一致箇所特定支援情報13が出力される。

【0011】

【発明が解決しようとする課題】従来の論理等価性検証方法およびその装置は以上のように構成されているの

で、ブール比較に基づく論理等価性検証では、ブール比較手段9で論理等価性を判定できるのは、あくまで組み合わせ回路だけであるため、記憶素子（フリップフロップやラッチ）を含むような順序回路を検証する場合には、比較対象の2つのモデルである機能記述1と論理回路2との間で、全ての記憶素子の対応が取れていなければならない。

【0012】図7に示す例では、記憶素子34a, 34bを切り取った跡に発生する新たな出力端子36a, 36b、および入力端子37a, 37bの対応が全て取れていなければ、ブール比較手段9を適用することはできない。一般に、導出モデルとなる論理回路2の記憶素子名は、それを設計した設計者や論理合成ツールに依存し、HDL論理抽出手段6が機能記述1から自動的に導出した記憶素子の名前と異なる。

【0013】したがって、論理回路2の記憶素子の名前と、機能記述1からHDL論理抽出手段が自動的に導出した記憶素子の名前とを対応させるためには、ユーザが記憶素子の対応表11を別途与える必要がある。通常、回路中の記憶素子は非常に多く、この記憶素子の対応を1つ1つ人手で与えることは、ユーザにとって非常に面倒な作業になるという問題点があった。

【0014】請求項1の発明は上記のような問題点を解消するためになされたもので、機能記述の記憶素子と論理回路の記憶素子とを自動的に対応付けできるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施することができる論理等価性検証方法を得ることを目的とする。

【0015】請求項2の発明は機能記述の記憶素子と論理回路の記憶素子とをより効率的に、かつ自動的に対応付けできるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施することができる論理等価性検証方法を得ることを目的とする。

【0016】請求項3の発明は機能記述の記憶素子と論理回路の記憶素子とを自動的に対応付けできるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施することができる論理等価性検証装置を得ることを目的とする。

【0017】請求項4の発明は機能記述の記憶素子と論理回路の記憶素子とをより効率的に、かつ自動的に対応付けできるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施することができる論理等価性検証装置を得ることを目的とする。

【0018】

【課題を解決するための手段】請求項1の発明に係る論理等価性検証方法は、機能記述の記憶素子と論理回路の記憶素子とについてプライマリ入力端子からの到達レベルを求める到達レベル判定ステップと、上記機能記述の

記憶素子と上記論理回路の記憶素子との各々の到達レベルにおける記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求める集合決定ステップと、上記到達レベル毎に、上記機能記述の記憶素子が有する上記入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を上記論理回路から取り出す抽出ステップとを実施し、論理等価性判定ステップにて、上記到達レベル毎に、機能記述の記憶素子のブール式と論理回路から取り出された記憶素子のブール式とを順次比較して論理等価性を判定するようにしたものである。

【0019】請求項2の発明に係る論理等価性検証方法は、抽出ステップにて、機能記述から論理回路を導出する際に所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて行われるようにしたものである。

【0020】請求項3の発明に係る論理等価性検証装置は、機能記述の記憶素子と論理回路の記憶素子とについてプライマリ入力端子から求めた到達レベル毎に、記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求め、機能記述の記憶素子が有する入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を論理回路から取り出す記憶素子対応手段と、上記到達レベル毎に、前記機能記述論理抽出手段による前記機能記述の記憶素子のブール式と、前記記憶素子対応手段により取り出された前記論理回路の記憶素子の前記ネットリスト論理抽出手段によるブール式とを順次比較し、論理等価性を判定するブール比較手段とを備え、機能記述の記憶素子と論理回路の記憶素子との対応付けを自動的に行って、互いの論理等価性を判定するものである。

【0021】請求項4の発明に係る論理等価性検証装置は、機能記述から論理回路を導出する際に所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて機能記述論理抽出手段で記憶素子に命名する記憶素子対応手段を備え、機能記述の記憶素子と論理回路の記憶素子との対応付けを自動的に行って、互いの論理等価性を判定するものである。

【0022】

【作用】請求項1の発明における論理等価性検証方法は、機能記述の記憶素子と論理回路の記憶素子とについてプライマリ入力端子からの到達レベルを求め、次に、上記機能記述の記憶素子と上記論理回路の記憶素子との各々の到達レベルにおける記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求めた後、上記到達レベル毎に、上記機能記述の記憶素子が有する上記入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を上記論理回路から取り出し、上記到達レベル毎に、機能記述の記憶素子のブール式と論理回路から取り出された記憶素子のブール式とを順次比較して論理等価性を判定するので、検証対象が順

序回路であってもブール比較に基づく論理等価性検証を自動的に実施する。

【0023】請求項2の発明における論理等価性検証方法は、記憶素子の対応を、機能記述から論理回路を導出する際に所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて行うので、論理等価性検証の処理が簡素化されるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施される。

10 【0024】請求項3の発明における論理等価性検証装置は、機能記述の記憶素子と論理回路の記憶素子とについてプライマリ入力端子から求めた到達レベル毎に、記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求め、機能記述の記憶素子が有する入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を論理回路から取り出し、上記到達レベル毎に、機能記述論理抽出手段による機能記述の記憶素子のブール式と、記憶素子対応手段により取り出された論理回路の記憶素子のネットリスト論理抽出手段によるブール式とを順次比較して論理等価性を判定するので、機能記述の記憶素子と論理回路の記憶素子との対応付けが自動的に行われ、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施される。

20 【0025】請求項4の発明における論理等価性検証装置は、記憶素子の対応を、機能記述から論理回路を導出する際に所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて行うので、機能記述の記憶素子と論理回路の記憶素子との対応付けが自動的に行われ、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施される。

【0026】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1はこの発明の第1の実施例による論理等価性検証装置の構成を示すブロック図であり、従来技術である図6に示した相当部分には同一符号を付しその説明を省略する。図において、40は本実施例1による機能記述1と論理回路2の間における論理等価性を検証する論理等価性検証手段、41は自動的に参照モデルである機能記述1の記憶素子と導出モデルである論理回路2の記憶素子との対応をとる記憶素子対応手段である。42は上記記憶素子対応手段41により対応付けられた、機能記述1の記憶素子と論理回路2の記憶素子とのブール式を比較するブール式比較手段である。

【0027】次に動作について説明する。図2は論理等価性検証手段40による処理を説明するためのフローチャートである。なお、図中、C1は機能記述1、C2は論理回路2に相当する。まず、図2に示すステップ（到達レベル判定ステップ）ST1において、参照モデルで

ある機能記述1、導出モデルである論理回路2を参照して、プライマリ入力端子からの記憶素子の段数であるレベル(到達レベル)Lを求める。

【0028】ここで、図3は記憶素子のレベルLを説明する模式図であり、図において、45a、45b、45cはプライマリ入力端子、46a、46b、46cは組み合わせ回路、47a、47b、47c、47d、47eは記憶素子、48a、48bはプライマリ出力端子である。記憶素子のレベルLは、プライマリ入力端子45a~45cからプライマリ出力端子48a、48bの方向へ回路を辿ることによって得られる。まず、プライマリ入力端子45a~45cから組み合わせ回路46aのみを経由して到達可能な記憶素子のレベルLを「1」とする。

【0029】その後、順次回路を辿っていき、組み合わせ回路のみを経由して記憶素子に到達する度に、記憶素子のレベルLを「1」ずつインクリメントしていく。したがって、記憶素子47d、47eのレベルLは、「2」となる。回路構造によっては、辿る経路によってレベルが一意に定まらない場合がある。このような場合には、最大のものを記憶素子のレベルLとする。また、回路中にループがある場合には、ループを検出した時点で(既にレベルが決定した記憶素子に再び辿り着いた時点で)、それより先の探索はやめ、先に定まっていた記憶素子のレベルLを優先する。

【0030】次に、ステップST2において、記憶素子のレベルLを「1」とする。次いで、ステップ(集合決定ステップ)ST3へ進み、機能記述1および論理回路2の各レベルLにおける記憶素子について、そのデータ入力端子Dへのコーンの入力端子集合 $\phi$ を求める。ここで、図4は上記コーンの一例を説明するための模式図である。コーンとは、ある変数(この場合、記憶素子の入力)の論理を決定するために必要な組み合わせ回路のことであり、その変数からプライマリ入力端子方向に組み合わせ回路を辿ることによって得られる。

【0031】このとき、この探索は、プライマリ入力端子、または記憶素子の出力端子に到達した時点で終了し、それまでに通過した組み合わせ回路部分がそのコーンとなる。図4では、50aをレベルLの記憶素子とすると、51aが記憶素子50aの入力端子Dへのコーン、52a、52b、52c、52dはプライマリ入力端子またはレベルLより小さいレベルの記憶素子の出力端子である。同様に、50bをレベルLの記憶素子とすると、51bが記憶素子50bの入力端子Dへのコーン、52c、52d、52e、52fはプライマリ入力端子またはレベルLより小さいレベルの記憶素子の出力端子である。なお、回路中にループがある場合には、レベルLより大きなレベルを持つ記憶素子の出力端子を含む可能性がある。図4に示すコーン構成の場合、記憶素子50a(入力端子D)のコーン51aの入力端子集合

$\phi$ は、{a, b, c, d}となる。また、記憶素子50bのコーン51bの入力端子集合 $\phi$ は、{c, d, e, f}となる。

【0032】次に、ステップ(抽出ステップ)ST4において、機能記述1のレベルLの記憶素子からまだ対応の取れていない記憶素子を取り出す。以下、機能記述1の記憶素子をR1という。そして、ステップ(抽出ステップ)ST5へ進み、論理回路2のレベルLの記憶素子で、上記記憶素子R1と同じ入力端子集合 $\phi$ を有し、まだ対応の取れていない記憶素子の候補集合 $\eta$ を取り出す。この集合 $\eta$ は、記憶素子R1と対応する可能性がある複数の記憶素子の候補集合である。以下、論理回路2の記憶素子をR2といい、上記複数の記憶素子R2を候補集合 $\eta$ で表すものとする。

【0033】次に、ステップST6へ進み、上記候補集合 $\eta$ から1つの記憶素子R2を取り出す。そして、ステップ(論理等価性判定ステップ)ST7において、機能記述1の記憶素子R1と論理回路2の記憶素子R2とのデータ入力端子Dについてブール比較を実施する。通常、入力端子集合 $\phi$ はプライマリ入力端子か、レベルがレベルLより小さい記憶素子の出力端子の集合であり、この時点ではレベルLより小さい記憶素子は、機能記述1と論理回路2で全ての対応が取れているため、ブール比較が可能となる。

【0034】一方、回路中にループがある場合には、入力端子集合 $\phi$ は、レベルLより大きなレベルを持つ記憶素子の出力端子を含む可能性がある。この場合、その記憶素子は、まだ、機能記述1と論理回路2で対応が取れていない。このため、このような記憶素子については、順に仮の対応付けを行ってからブール比較を実施する。ブール比較が成功すれば(論理が一致すれば)、そのときの対応付けが正しいと言える。また、このような記憶素子についてのみ、ユーザに提示して対応を与えてもらうようにすることも可能である。

【0035】次に、ステップ(論理等価性判定ステップ)ST8では、ブール比較の結果、互いの論理が一致したかどうかを判断し、一致してなければステップST9へ進む。ステップST9では、ステップST5で取り出した候補集合 $\eta$ の中に、まだ、機能記述1の記憶素子R1(レベルL)に対応する可能性のある、別の記憶素子R2が残っているか否かを判断する。そして、まだ、別の記憶素子R2が残っている場合には、ステップST7へ戻る。以下、双方の論理が一致しなければ、ステップST7~ST9を繰り返し実行し、順次、候補集合 $\eta$ から記憶素子R2を取り出し、ステップST4で取り出した記憶素子R1と、この新たに取り出した記憶素子R2とのブール式の比較を行う。

【0036】このとき、論理回路2の候補集合 $\eta$ に、別の記憶素子R2が残っていない場合には、ステップST9における判断結果は「NO」となり、ステップST1

0へ進む。ステップST10では、記憶素子R1の論理と同じ論理を持つ記憶素子R2が論理回路2に存在しないことを意味するため、不一致であるという情報10、およびそれに関連する情報（不一致箇所特定支援情報）11をレポートして、後述するステップST12へ進む。また、不一致が検出されたとして、ここで検証を終了することも可能である。

【0037】一方、ステップST7～ST8において、論理が一致した場合には、ステップST8における判断結果が「YES」となり、ステップST11へ進む。ステップST11では、記憶素子R1と記憶素子R2とのデータ入力端子Dの論理が一致したことから、この記憶素子R1と記憶素子R2が同じ記憶素子として対応が取れたことを意味するので、同じ識別名に変更する。なお、名前を変更するのではなく、対応が取れたことを記憶しておいて、それを後の処理で参照するようにしてもよい。そして、ステップST12へ進む。

【0038】次に、ステップST12では、機能記述1および論理回路2に、まだ、対応がとれていないレベルLの記憶素子があるか否かを判断する。そして、まだ、対応がとれていない記憶素子がある場合には、ステップST12における判断結果は「YES」となり、ステップST4へ戻る。以下、ステップST4～ST12を繰り返し実行し、機能記述1からレベルLの記憶素子R1を順次取り出すとともに、この新たな記憶素子R1と同じ入力端子集合φを有し、論理的に等価な可能性のある複数の記憶素子R2を論理回路2から候補集合ηとして取り出し、記憶素子R1と記憶素子R2とのブール式を比較し、論理が一致すれば同じ識別名として対応をとる。このようにして、レベルLについての機能記述1および論理回路2との対応をとる。

【0039】そして、対応がとれていない記憶素子がなくなると、言い換えると、レベルLにおける記憶素子の全ての対応がとれた場合には、ステップST12における判断結果は「NO」となり、ステップST13へ進む。ステップST13では、レベルLを「1」だけインクリメントし、ステップST14へ進む。ステップST14では、レベルLが前述したステップST1で求めた最大の（最終の）記憶素子レベルに達したか否かを判断する。そして、まだ、レベルLが最終レベルを越えていなければ、ステップST14における判断結果は「NO」となり、ステップST3へ進む。以下、ステップST3以降を繰り返し実行し、次のレベルLにおいて、機能記述1および論理回路2の間で、記憶素子の対応をとる。このようにして、レベルLを「1」ずつインクリメントしながら、記憶素子の対応をとっていく。

【0040】そして、全てのレベルLについての処理が終了すると、ステップST14における判断結果は「YES」となり、ステップST15へ進む。ステップST15では、残り端子（プライマリ出力、D以外の記憶素

子入力端子）について、ブール比較を実施し、その比較結果をレポートする。

【0041】このように、実施例1では、機能記述1の記憶素子と論理回路2の記憶素子とのプライマリ入力端子から求めたレベルL毎に、記憶素子の論理を決定するためコーンの入力端子集合φを求め、機能記述1の記憶素子R1が有する入力端子集合φと同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子R2を論理回路2から取り出し、上記レベルL毎に、機能記述1の記憶素子R1のブール式と、記憶素子対応手段41により取り出された論理回路2の記憶素子R2のブール式とを順次比較して論理等価性を判定するので、検証対象が順序回路であっても、機能記述1の記憶素子と論理回路2の記憶素子とが自動的に対応付けできるとともに、ブール比較に基づく論理等価性検証を自動的に実施することができるという効果が得られる。

【0042】なお、上述した実施例1の変形例としては、機能記述1と論理回路2が既に対応が取れている記憶素子（同じ名前の記憶素子、または別途対応が与えられている記憶素子）を含んでいるなら、対応が取れていない記憶素子に対してのみ、図2に示す処理を実施することで処理の高速化が図れる。

【0043】また、応用例としては、ブール比較法（組み合わせ回路の論理比較法）の代わりに、順序回路の論理比較法を用いることが考えられる。順序回路の論理比較法では、ブール比較法と異なり、記憶素子の対応が取れていなくても、または記憶素子の数が異なっていて、論理等価性判定を行うことが可能である。しかし、逆に、順序回路の論理比較法では、扱える記憶素子の数やプライマリ入力端子数等、ブール比較法と比べて適用可能な回路の制限が大きい。

【0044】この適用上の制限を緩和するため、図2に示すアルゴリズムが有効である。図2に示すアルゴリズムを用いれば、大部分の記憶素子の対応を一意に定めることができる可能性がある。これを実行した後、対応が取れていない残りの記憶素子だけを対象に順序回路の論理比較法を適用することにより、処理の大幅な効率化が図れるだけでなく、適用可能な対象を大幅に拡大することが可能である。

【0045】また、別の応用例としては、記憶素子の対応が取れていない2つの機能記述ファイルの論理等価性検証にも、この方法を用いることができる。また、記憶素子の対応が取れていない2つの論理回路（ネットリスト）の論理等価性検証にも、この方法を用いることができる。

【0046】実施例2. 図5はこの発明の第2の実施例による論理等価性検証装置のブロック図であり、図1に示した相当部分には同一符号を付しその説明を省略する。図5において、55は本実施例2による機能記述1と論理回路2間の論理等価性を検証する論理等価性検証

手段、56は機能記述1から記憶素子を推定（自動生成）し、論理回路2を導出する論理合成手段である。すなわち、この実施例2では、人手論理設計を除外している。

【0047】上記論理合成手段56は、論理回路2を導出する際に、ある特定の命名規則に従って記憶素子に自動的に名前を付ける。この命名規則は、その論理合成手段56のマニュアルや合成結果の論理回路から類推することが可能である。また、57は機能記述1から論理（ブール式）を抽出する際に、記憶素子の命名規則と論理合成手段56の命名規則に合わせて、機能記述1と論理回路2との記憶素子の対応をとる記憶素子対応手段&HDL論理抽出手段である。

【0048】次に動作について説明する。論理合成手段56は、機能記述1から論理回路2を導出する際に、機能記述1から記憶素子を推定（自動生成）し、記憶素子にある特定の命名規則に従って自動的に名前を付ける。論理等価性検証手段55では、記憶素子対応手段&HDL論理抽出手段57が、機能記述1からブール式を抽出する際の記憶素子推定時に、上記論理合成手段56による命名規則をそのまま利用する。

【0049】このようにして抽出したブール式8では、その入出力端子名（記憶素子を切り取った時に発生する入出力端子を含む）はすべて論理回路2より抽出したブール式9と対応が取れているため、そのままブール比較手段10によりブール比較を実施することができる。

【0050】このように、この実施例では、機能記述1からブール式を抽出する際に、論理合成手段56が機能記述1から論理回路2を導出するときに所定の命名規則に従って自動的に記憶素子に付けた名前をそのまま用いて、機能記述1と論理回路2との記憶素子の対応をとるようにしたので、論理等価性検証の処理を簡素化できるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施することができるという効果が得られる。

【0051】なお、この実施例の応用例としては、論理合成手段56の記憶素子の命名規則に完全に合わせることができない場合、例えば、一部、対応が取れない記憶素子が残る場合には、実施例1に示した手法を併用することにより、残った記憶素子の対応を自動的に取ることができる。また、残った記憶素子の対応のみ、ユーザに提示して対応を人手で与えてもらうことも可能である。

【0052】

【発明の効果】以上のように、請求項1の発明によれば、機能記述の記憶素子と論理回路の記憶素子とについてプライマリ入力端子からの到達レベルを求める到達レベル判定ステップと、上記機能記述の記憶素子と上記論理回路の記憶素子との各々の到達レベルにおける記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求める集合決定ステップと、上記到達レベル

毎に、上記機能記述の記憶素子が有する上記入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を上記論理回路から取り出す抽出ステップとを実施し、論理等価性判定ステップにて、上記到達レベル毎に、機能記述の記憶素子のブール式と論理回路から取り出された記憶素子のブール式とを順次比較して論理等価性を判定するように構成したので、検証対象が順序回路であっても、機能記述の記憶素子と論理回路の記憶素子とが自動的に対応付けできるとともに、ブール比較に基づく論理等価性検証を自動的に実施することができる効果がある。

【0053】請求項2の発明によれば、抽出ステップにて、機能記述から論理回路を導出する際に所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて行われるように構成したので、検証対象が順序回路であっても、機能記述の記憶素子と論理回路の記憶素子とを自動的に対応付けできるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施することができる効果がある。

【0054】請求項3の発明によれば、機能記述の記憶素子と論理回路の記憶素子とについてプライマリ入力端子から求めた到達レベル毎に、記憶素子の論理を決定するために必要な組み合わせ回路の入力端子集合を求め、機能記述の記憶素子が有する入力端子集合と同じ入力端子集合を有し、論理的に等価な可能性のある記憶素子を論理回路から取り出す記憶素子対応手段と、上記到達レベル毎に、機能記述の記憶素子のブール式と、記憶素子対応手段により取り出された、論理回路の記憶素子とのブール式とを順次比較し、論理等価性を判定するブール比較手段とを備えるように構成したので、検証対象が順序回路であっても、機能記述の記憶素子と論理回路の記憶素子とが自動的に対応付けできるとともに、ブール比較に基づく論理等価性検証を自動的に実施することができる効果がある。

【0055】請求項4の発明によれば、機能記述から論理回路を導出する際に所定の命名規則に従って自動的に記憶素子に付けられた名称に基づいて、機能記述論理抽出手段で記憶素子に命名する記憶素子対応手段を備えるように構成したので、検証対象が順序回路であっても、機能記述の記憶素子と論理回路の記憶素子とをより自動的に対応付けできるとともに、検証対象が順序回路であってもブール比較に基づく論理等価性検証を自動的に実施することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の第1の実施例による論理等価性検証装置の構成を示すブロック図である。

【図2】 実施例1の論理等価性検証方法の動作を説明するためのフローチャートである。

【図3】 実施例1の論理等価性検証方法における記憶素子のレベルLを説明する模式図である。



【図4】 実施例1の論理等価性検証方法におけるデータ入力端子Dへのコーンを説明するための模式図である。

【図5】 この発明の第2の実施例による論理等価性検証装置の構成を示すブロック図である。

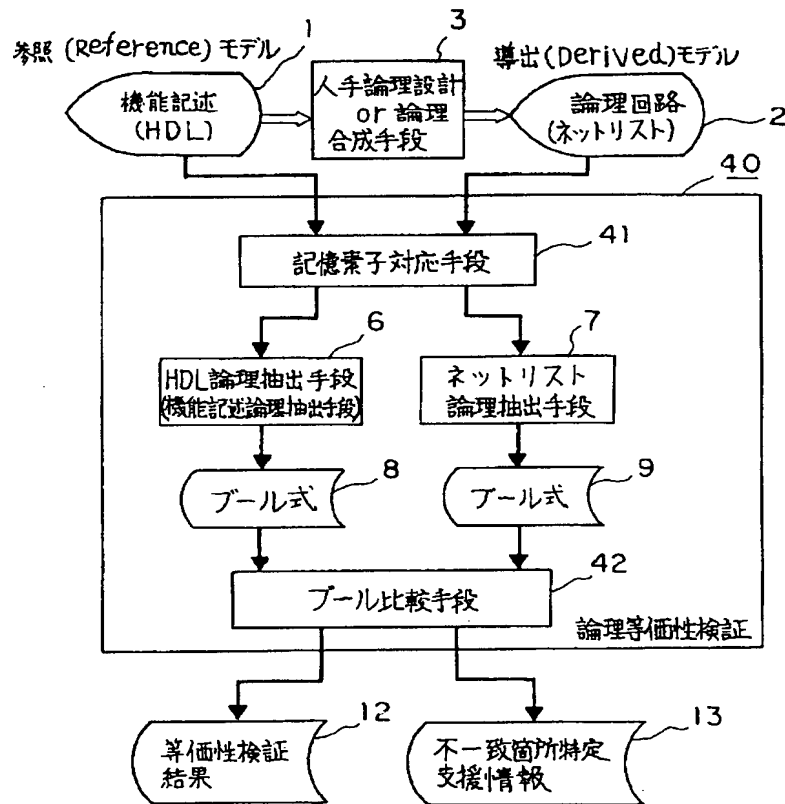
【図6】 従来の論理等価性検証装置の構成を示すブロック図である。

【図7】 従来の論理等価性検証方法におけるブール式の抽出方法を説明する模式図である。

【符号の説明】

\*10

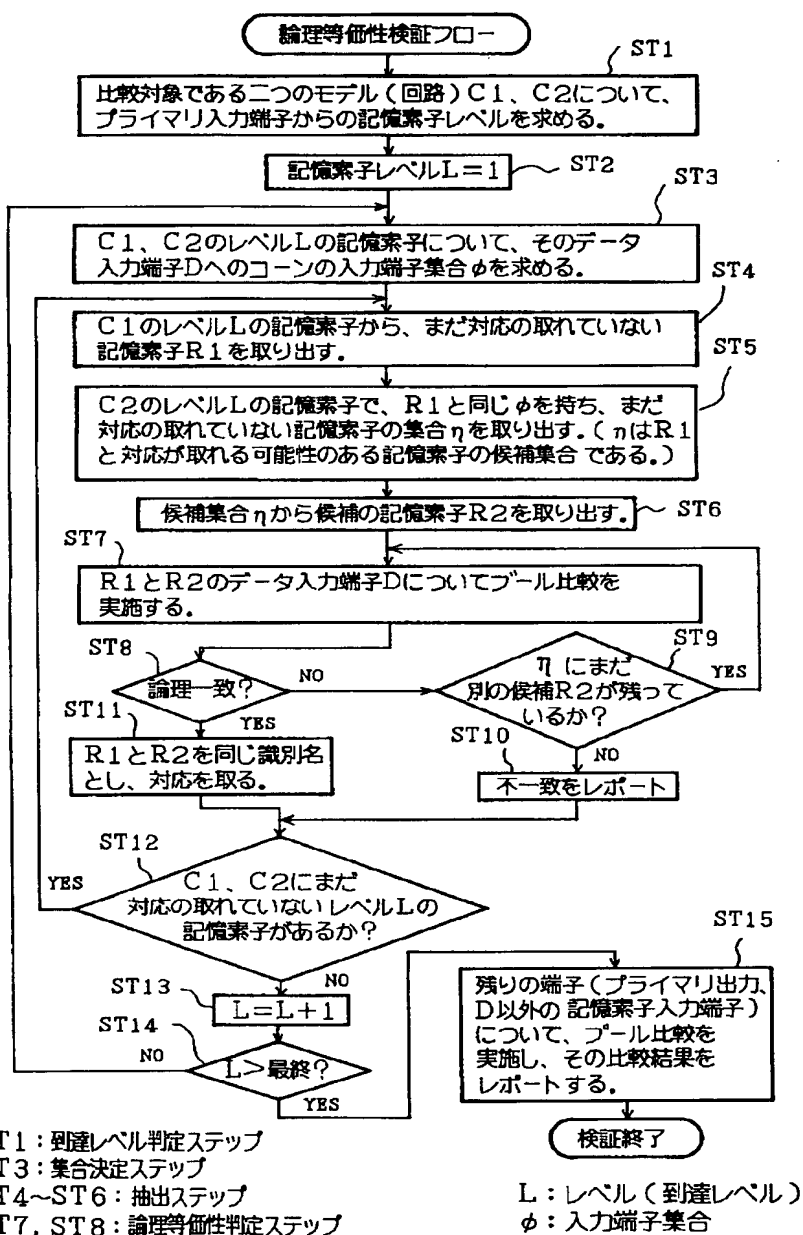
【図1】



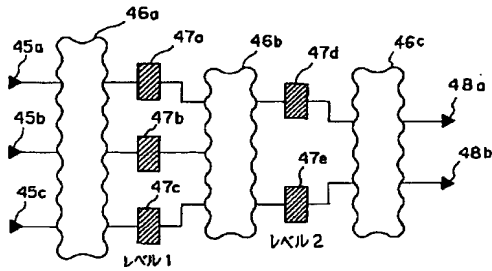
→ : 検証の流れ

→ : 設計の流れ

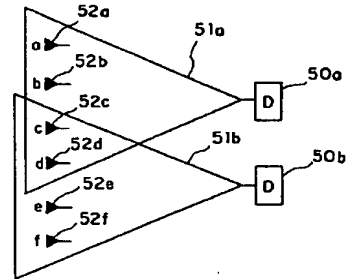
【図2】



【図 3】

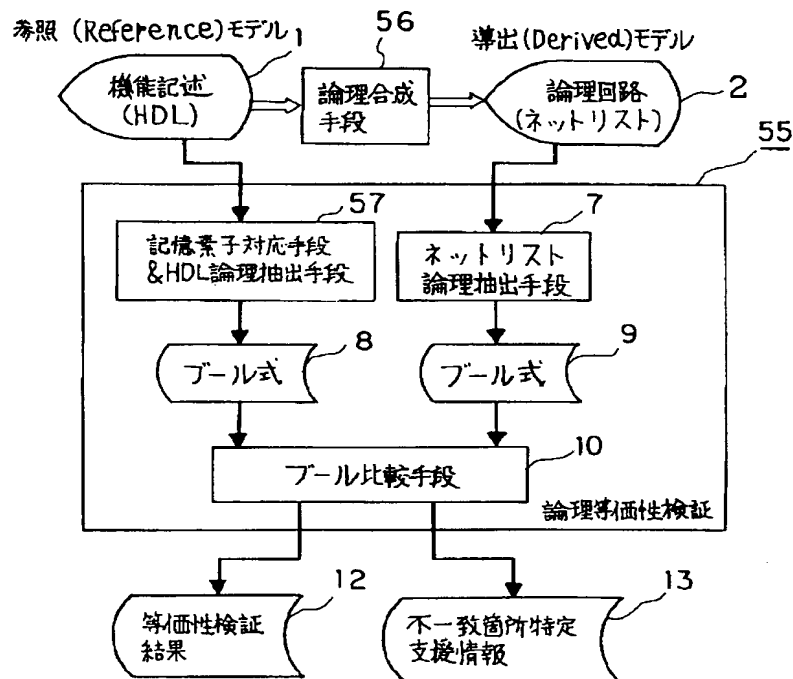


【図 4】



51a, 51b: コーン(組み合わせ回路)

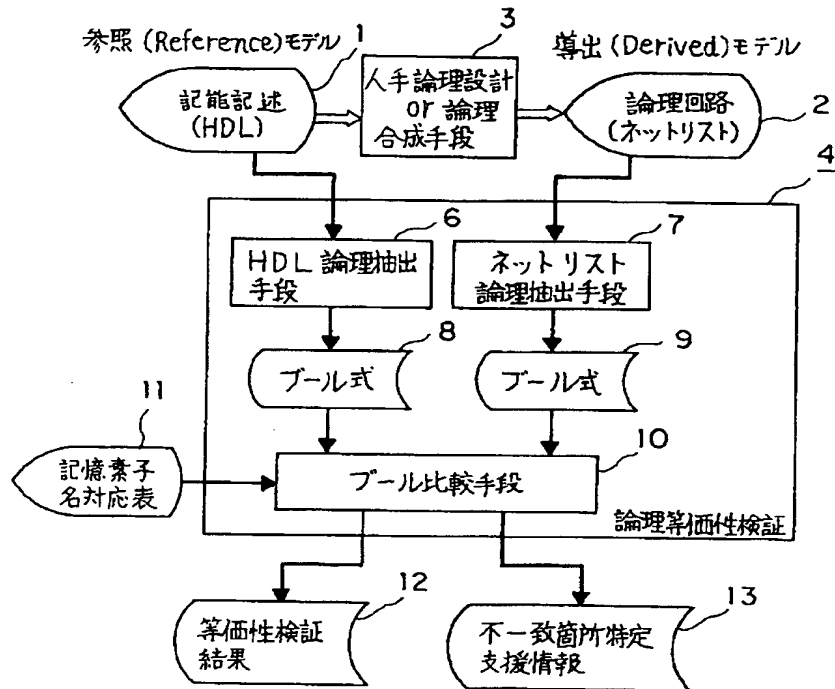
【図 5】



→ : 検証の流れ

⇒ : 設計の流れ

【図6】



【図 7】

